

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-129647

(43)Date of publication of application : 02.06.1988

(51)Int.Cl.

H01L 21/88

(21)Application number : 61-276960

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.11.1986

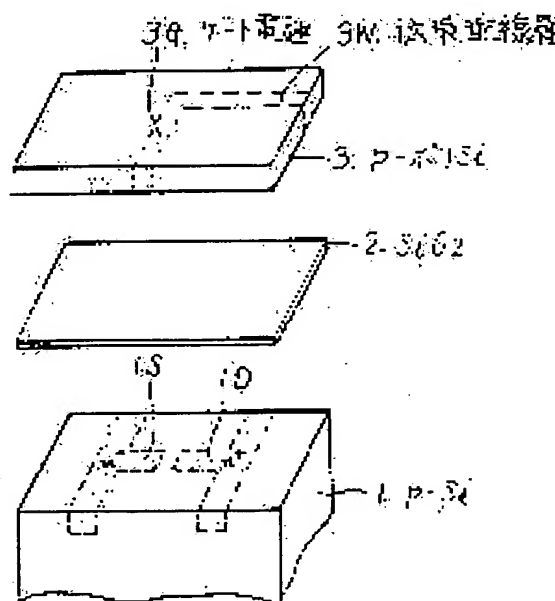
(72)Inventor : GOTO HIROSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To avoid copying of a circuit based on observation of the circuit, by forming an element on a substrate, forming a semiconductor layer on the substrate or a wiring formed thereon, introducing conductive impurities in the layer, and forming a wiring pattern.

CONSTITUTION: In a p-type silicon (p-Si) substrate 1, n-type impurities are introduced, and diffused layer wirings 1S and 1D are formed. A gate insulating layer 2 is a silicon dioxide (SiO₂) layer, which is formed by thermal oxidation. For example, as a wiring pattern, which is formed by introducing the n-type impurities into a p-type polycrystalline (poly Si) layer 3, a gate electrode 3G and a diffused layer wiring 3W, which is connected to the electrode 3G, are formed. The semiconductor layer is electrically isolated through a ground layer and the insulating layer. In this structure, since the wiring pattern of the integrated circuit cannot be observed through a microscope, the copying of the constituent circuit can be avoided.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-129647

⑬ Int.Cl.⁴

H 01 L 21/88

識別記号

庁内整理番号

P-6708-5F

⑭ 公開 昭和63年(1988)6月2日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭61-276960

⑰ 出 願 昭61(1986)11月20日

⑱ 発 明 者 後 藤 寛 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

基板上に被着された半導体層に導電性不純物を導入して形成した配線パターンを有し、

該配線パターンは下地層と絶縁層、またはpn接合により電気的に分離されていることを特徴とする半導体装置。

3. 発明の詳細な説明

(概要)

基板に素子形成後、基板上、またはその上に形成された配線の上に半導体層を形成し、ここに導電性不純物を導入して配線パターンを形成することにより、目で見ただけでは回路が分からない半導体装置を提起し、回路のコピーを防止する。

(産業上の利用分野)

本発明は回路のコピーを防止する対策を施した半導体装置に関する。

半導体装置の高集積化、高密度化により超大规模集積回路(VLSI)が実現し、メーカー間の競争は激化し、その構成回路は秘密を必要とする部分や、場合が多くなってきた。

(従来の技術と、

発明が解決しようとする問題点)

従来の集積回路は顕微鏡で配線パターンを観察することにより、その構成回路が分かってしまうので、何らかの対策が望まれていた。

(問題点を解決するための手段)

上記問題点の解決は、基板上に被着された半導体層に導電性不純物を導入して形成した配線パターンを有し、

該配線パターンは下地層と絶縁層、またはpn接合により電気的に分離されている本発明による

半導体装置により達成される。

第1図は本発明の半導体装置の構造を説明する斜視図である。

図において、1はp型珪素(p-Si)基板で、ここにn型不純物を導入して拡散層配線1S、1Dが形成されている。

拡散層配線1S、1Dは電界効果トランジスタ(FET)のソース、ドレイン領域と、これに接続する配線層を形成している。

2はゲート絶縁層で熱酸化により形成された二酸化珪素(SiO_2)層である。

3は、例えばp型の多結晶珪素(ポリSi)層(または、炭化珪素(SiC)層)である。ここにn型不純物を導入して形成された配線パターンとして、ゲート電極3Gとこれに接続する拡散層配線3Wが形成されている。

説明のために、図ではp-Si基板1と、 SiO_2 層2と、ポリSi層3は分離して描かれているが、もちろん実際には密着して形成されている。

第2図(1)、(2)において、1は約 $10\Omega\text{cm}$ のp-Si基板で、この上にゲート絶縁層、およびスルー絶縁層として熱酸化により厚さ500Åの SiO_2 層2を形成する。

つぎに、n型不純物として砒素イオン(As^+)を注入して深さ3500Åの拡散層配線1S、1Dを形成する。

As^+ の注入条件はエネルギー80 KeV、ドーズ量 $5\text{E}14(5 \times 10^{14})\text{cm}^{-2}$ である。

拡散層配線1S、1DはそれぞれFETのソース、ドレイン領域と配線層を形成する。

つぎに、拡散層配線1S、1Dの間隔を含むFET形成領域に硼素イオン(B^+)を注入する。

B^+ の注入条件はエネルギー50 KeV、ドーズ量 $5\text{E}12\text{cm}^{-2}$ である。

つぎに、拡散層配線1S、1Dの間隔に位置するFETのチャネル形成領域に磷イオン(P^+)か、または As^+ の注入によりカウンタドープしてしきい値電圧(V_{th})を調整する。

第2図(3)、(4)において、化学気相成長(CVD)法

(作用)

本発明は、半導体層に導電性不純物を導入して形成された配線パターンは見ただけではパターンが分からないことを利用したものである。

この半導体層が半絶縁性の場合はこの層に導入する導電性不純物はp型でも、n型でもよいが、接続しようとする下地層が半導体層の場合はこの層の導電性に合わせる。

また、この半導体層がp(n)型の場合はこの層に導入する導電性不純物はn(p)型にし、配線パターンをpn接合分離にする。

さらに、この半導体層は下地層と絶縁層を介して電気的に分離する。場合によっては絶縁層を省略して、配線パターンと下地層とでpn接合を形成して電気的に分離することもできる。

(実施例)

第1図を例にとり、実施例を説明する。

第2図(1)~(4)は本発明の実施例を説明する平面図と断面図である。

により、半導体層として厚さ4000Åのp型ポリSi層3(または、p型SiC層)を形成する。

この層のp型化は成長時にドーブするか、または成長後 B^+ の注入により行う。

ポリSi層3にn型不純物として前と同一条件で As^+ を注入し、配線パターンとして、ゲート電極3Gとこれに接続する拡散層配線3Wを形成する。

この後は、通常の工程により層間絶縁層を形成し、下地層との接続部において層間絶縁層にコンタクト孔を開口し、基板全面にアルミニウム(Al)層を被着し、この層をパターニングして配線を形成し、配線を覆ってカバー膜をつけてウエハプロセスを完成する。

第3図は本発明の他の実施例を説明する平面図である。

図において、基板上にFET4、5、6が形成されており、これらを相互に配線する望ましい回路領域をp型ポリSi層3で形成する。

つぎに、所定の回路に従って、p型ポリSi層3に P^+ か、または As^+ を注入して拡散層配線3Wを

形成する。

(発明の効果)

以上詳細に説明したように本発明によれば、顕微鏡で集積回路の配線パターンを観察することができないため、その構成回路のコピーを防止できる。

4. 図面の簡単な説明

第1図は本発明の半導体装置の構造を説明する斜視図、

第2図(1)～(4)は本発明の実施例を説明する平面図と断面図、

第3図は本発明の他の実施例を説明する平面図である。

図において、

1は p-Si 基板、

1S、1Dはソース、ドレイン領域と拡散層配線、

2は SiO₂ 層、

3はポリSi層、または SiC層、

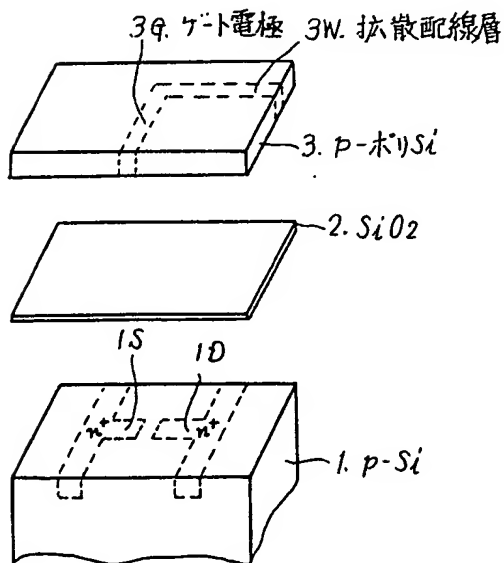
3Wは拡散層配線、

3Gはゲート電極、

4、5、6はFET

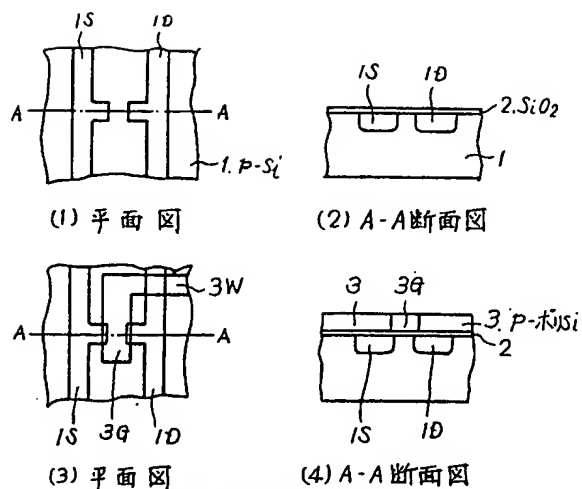
である。

代理人 弁理士 井桁貞一

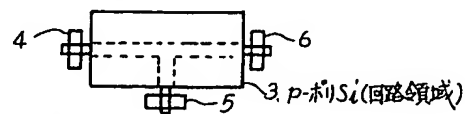


本発明を説明する斜視図

第1図



実施例を説明する図
第2図



他の実施例を説明する平面図
第3図